

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-107540

(43)Date of publication of application : 21.06.1984

(51)Int.Cl.

H01L 21/88

H01L 21/92

H01L 27/06

(21)Application number : 57-217958

(71)Applicant : NEC CORP

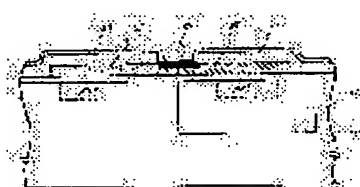
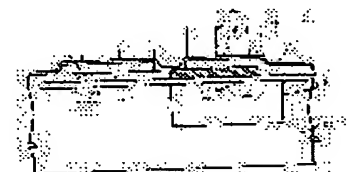
(22)Date of filing : 13.12.1982

(72)Inventor : YOSHIMURA KATSUNOBU

(54) SEMICONDUCTOR DEVICE WITH WIRING CONNECTION PART USING SILICIDE

(57)Abstract:

PURPOSE: To enable to perform a connecting work using a small area and a small stepping by a method wherein a poly Si connection part, consisting of poly Si containing N type impurities and P type impurities, is lined with a metal silicide. **CONSTITUTION:** Transistors 1 and 2 of P type and N type are provided on an N type Si substrate 12, and a doping is performed on gates 2 and 6 and they are formed into P and N types. The connected parts of the gates 2 and 6 are exposed by providing an aperture on an insulating film 11, the above is covered by an Mo thin film, and P-ions are implanted. An MoSi₂ film 15 is formed by having a knockon phenomenon, and the gates 2 and 6 are connected. The Mo film 13 is removed, and the semiconductor device is completed. According to this constitution, an N type poly Si layer and a P type poly Si layer can be ohmic-contacted using the least possible area and the smallest possible stepping.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

⑬ 日本国特許庁 (JP)
⑭ 公開特許公報 (A)

⑮ 特許出願公開
昭59—107540

⑯ Int. Cl.³
H 01 L 21/88
21/92
27/06

識別記号
庁内整理番号
6810—5 F
7638—5 F
6655—5 F

⑰ 公開 昭和59年(1984)6月21日
発明の数 1
審査請求 未請求

(全 5 頁)

⑱ シリサイドを用いた配線接続部を有する半導体装置

東京都港区芝五丁目33番1号日
本電気株式会社内

⑲ 出 願 人 日本電気株式会社
東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内原晋

㉑ 特 願 昭57—217958
㉒ 出 願 昭57(1982)12月13日
㉓ 発 明 者 吉村克信

明 細 書

1. 発明の名称

シリサイドを用いた配線接続部を有する半導体装置

2. 特許請求の範囲

基板上に一導電型多結晶シリコン配線層と逆導電型多結晶シリコン配線層とが設けられた半導体装置において、前記一導電型多結晶シリコン配線層と前記逆導電型多結晶シリコン配線層とが互いに接続され、該接続部分の前記一導電型多結晶シリコン配線層および前記逆導電型多結晶シリコン配線層にシリサイド層が設けられていることを特徴とするシリサイドを用いた配線接続部を有する半導体装置。

3. 発明の詳細な説明

本発明は半導体装置に係り、特に導電型の異なる多結晶シリコン(以下、ポリシリコン)配線層

が設けられ、それらの配線層が互いに接続された構造を有する半導体装置に関する。

近年、半導体装置は低消費電力であることが強く要求されており、そのために相補型絶縁ゲート電界効果半導体装置(以下、CMOS)が広く用いられている。このCMOSを用いた大規模集積回路(以下LSI)は例えば次のとおりである。

CMOSをMOS LSIに使用した場合、第1図に示すインバータ回路が基本回路になる。このインバータ回路は、P型トランジスタ1のゲート2とN型トランジスタ5のゲート6を短絡して入力としP型トランジスタ1のソース3とN型トランジスタ5のドレイン8とを短絡して出力としたものである。第1図の回路のP型トランジスタ1と、N型トランジスタ5をシリコンチップ上にレイアウトした場合を第2図に示す。

ここでP型トランジスタ1を作る場合、ポリシリコンのゲート2を作ったのちにそのゲート2をマスクにしてトランジスタのソース3及びドレイン4の拡散又はイオン注入を行なう為、ポリシリ

コンのゲート2にはP型の不純物が入ることになる。また、N型トランジスタ5を作る場合も全く同様のプロセスをとる為、N型トランジスタのポリシリコンのゲート6にはN型の不純物が入ることになる。したがって第1図のインバータ回路を作る為のP型トランジスタのゲート2とN型トランジスタのゲート6とを短絡する場合に、これらの2つのゲートを直接接続することは出来ない。そこで従来技術では第3図に示すごとくアルミニウム(以下、A₆)配線10を使って接続していた。しかし、この方法ではA₆配線分のスペースが必要であり、段差も大きくなる為、今後、さらに微細加工が進むにつれて不利な点となってくる。

そこで本発明は、n型不純物を有するポリシリコンとP型不純物を有するポリシリコンをできるだけスペースをとらずにしかも段差を小さくしてオーミックに接続する新しい構造を提供するものである。

本発明の特徴は、P型不純物を有するポリシリ

コンとn型不純物を有するポリシリコンを接続する場合にその接続部分を、金属シリサイドで被付した半導体装置にある。そして、この構造をシリコンゲートCMOSに適用するにあたりP型トランジスタのゲートとN型トランジスタのゲートを接続する際にトランジスタを絶縁膜でおおった後、接続部分の絶縁膜を選択エッチングで除去し、接続部分を露出させた後にうすい高融点金属、例えばモリブデン、タングステン等を全面に付着し、その後、接続部分を選択的に金属シリサイド化してP型トランジスタのゲートとN型トランジスタのゲートをオーミックに接続し、その後不純物になった高融点金属を除去する半導体装置の製造方法を用いることが望ましい。

本発明によれば、n型不純物を有するポリシリコンとP型不純物を有するポリシリコンの接続部分を金属シリサイドで被付をした構造をとることによって、オーミックに接続しているのでスペースも小さく段差も小さい接続が可能となる。

以下、図面を用いて本発明の一実施例を詳細に

説明する。第4図乃至第9図は本発明の一実施例のCMOS LSIの工程順部分断面図である。

第4図：既存の製造プロセスによってN型シリコン基板12上にP型トランジスタ1、N型トランジスタ2を設ける。この製造工程で、P型トランジスタのゲート2はP型に、N型トランジスタのゲート6はN型にドーブされる。そして、これらのトランジスタの上は絶縁膜11によって覆われる。

第5図：次にこの絶縁膜11に選択エッチングをほどこしてP型トランジスタのゲート2とN型トランジスタのゲート6との接続部分の絶縁膜を除去する。

第6図：しかる後にチップ上にうすいモリブデン層13を付着する。P型トランジスタのゲート2とN型トランジスタのゲート6との接続部分は絶縁膜11を介さず直接モリブデン層13に接続している。またここで用いられるモリブデン層13は非常にうすいものでなくてはならない。

第7図：その後チップ全面にリン又はボロンの

イオン注入を行ないモリブデン層13をイオン14でたたいてやる。

第8図：すると、ノックオン現象によってモリブデン層13が直接、接している、P型トランジスタのゲート2とN型トランジスタのゲート6との接続部分においてモリブデン原子がこれらのポリシリコン層の中に入って行き、モリブデンシリサイド15ができてP型トランジスタのゲート2とN型トランジスタのゲート6とがオーミックに接続される。

第9図：その後絶縁膜11上のモリブデンをエッチングによって除去することによって、オーミック接続部分が完成する。

なお、イオンでモリブデン層をたたかわりに低温で加熱し、モリブデンシリサイドにする方法もあり、モリブデンのかわりにタングステンなどの金属を使用しても、本発明のプロセスは利用できる。

以上のとおり、今後MOS LSIはさらに集積度が上がってきびしい微細加工が要求されるこ

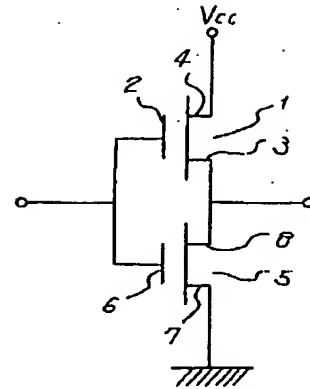
とは、必至であり、本発明のスペースを取らない段差の少ない接続構造及びCMOSに適用した場合の製造方法は非常に利用価値の高いものである。

4. 図面の簡単な説明

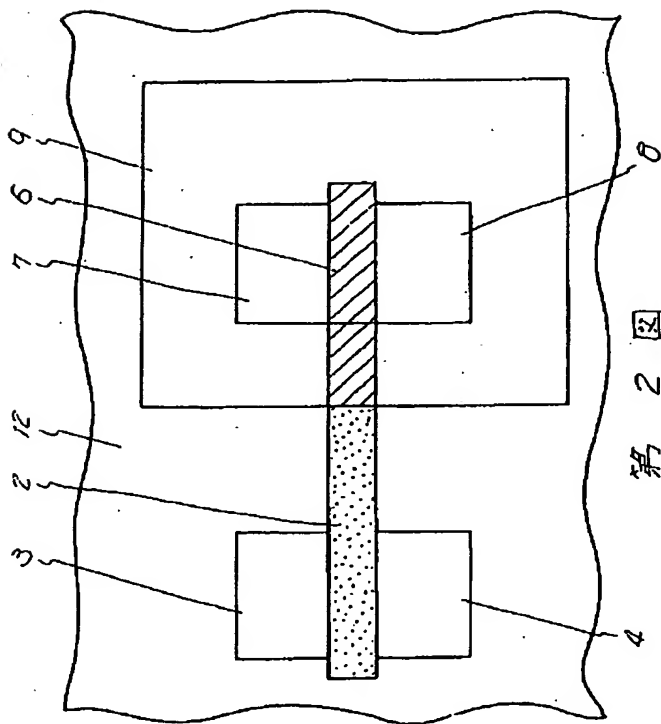
第1図はCMOSインバータ回路の例、第2図は第1図の回路を実現するCMOSの途中工程での平面図、第3図は第2図の装嵌にアルミニウム接視部を形成した従来のCMOSの断面図、第4図乃至第9図は各々本発明実施例のCMOSの工程断面図、である。

なお図において、1……P型トランジスタ、2、6……ゲート、3、7……ソース、4、8……ドレイン、5……N型トランジスタ、9……Pウェル、10……アルミニウム配線、11……絶縁膜、12……N型シリコン基板、13……モリブデン層、14……リン又はボロンイオン、15……モリブデンシリサイド、である。

代理人 弁理士 内 原 晋



第 1 圖



第二圖

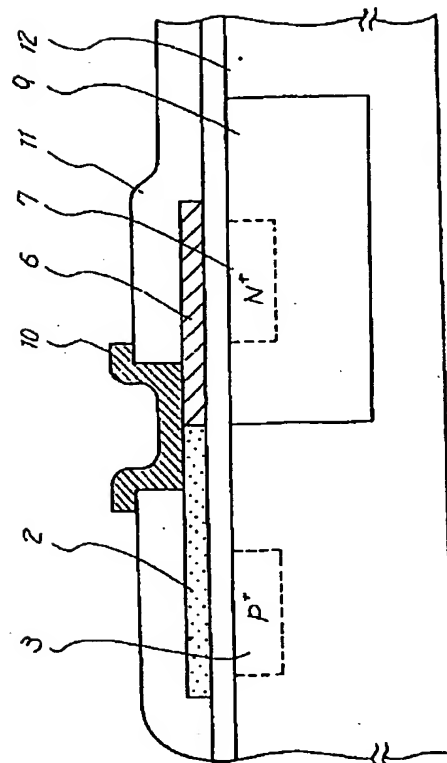
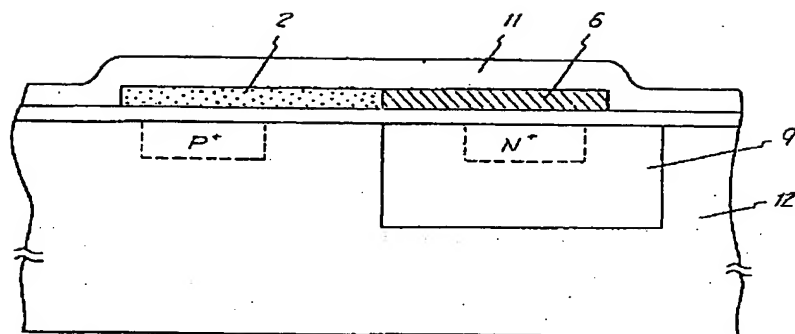
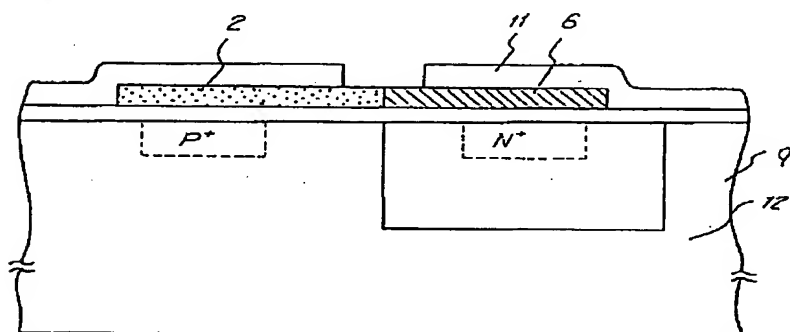


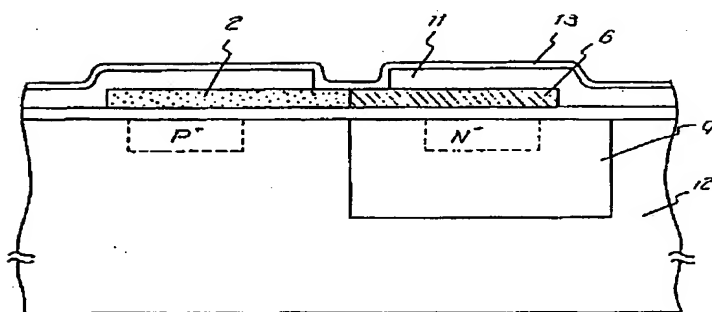
圖 5



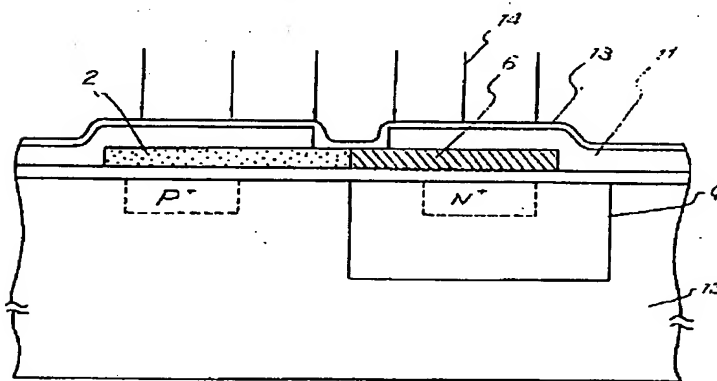
第 4 図



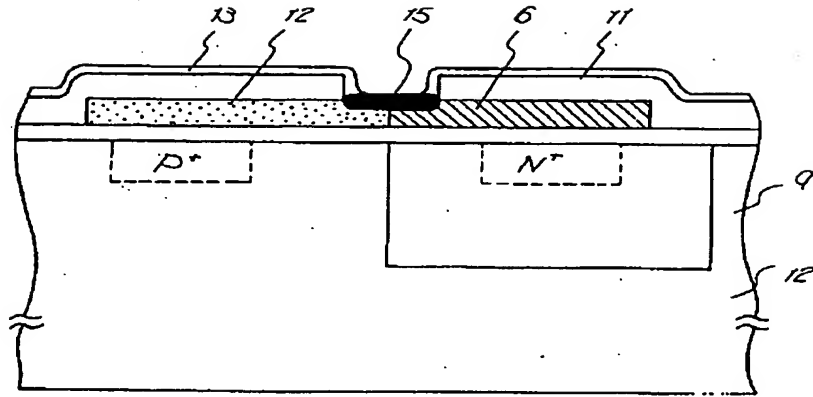
第 5 図



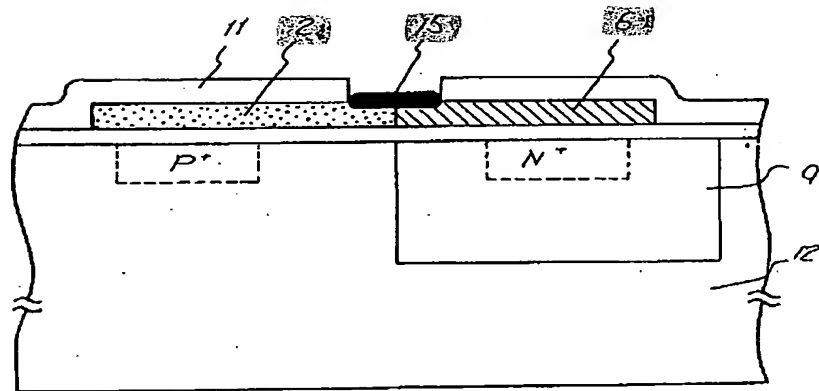
第 6 図



第 7 図



第 8 図



第 9 図

THIS PAGE BLANK (USPTO)